

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**S** semiconductor device having a copper wiring layer formed on a base via a barrier layer of amorphous tantalum carbide

Patent Number: ☐ US5973400  
Publication date: 1999-10-26  
Inventor(s): MURAKAMI MASANORI (JP); DOI TSUKASA (JP); OKU TAKEO (JP)  
Applicant(s): SHARP KK (JP)  
Requested Patent: ☐ JP10098011  
Application Number: US19970822126 19970321  
Priority Number(s): JP19960251886 19960924  
IPC Classification: H01L23/48  
EC Classification: H01L23/532M1C  
Equivalents:

---

**Abstract**

---

A semiconductor device including, a wiring layer whose main component is copper being formed on a base via a barrier layer of amorphous tantalum carbide.

Data supplied from the esp@cenet database - I2

AN

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98011

(49) 公開日 平成10年(1998)4月14日

(51) Int. Cl.<sup>4</sup>

識別記号

F I

H 0 1 L 21/28

3 0 1

H 0 1 L 21/28

3 0 1 R

C 2 3 C 14/06

C 2 3 C 14/06

H

H 0 1 L 21/3205

H 0 1 L 21/88

M

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号

特願平8-251888

(22) 出願日

平成8年(1996)9月24日

特許法第30条第1項適用申請有り 平成8年3月26日  
 社団法人応用物理学会発行の「1996年(平成8年)春  
 第43回応用物理学関係連合講演会講演予稿集 No.  
 0」に発表

(71) 出願人 000005048

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 村上 正紀

京都府葛城郡田辺町新長尾谷22-32

(72) 発明者 奥 健夫

茨城県ひたちなか市馬渡向野2920-217

(72) 発明者 土居 司

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

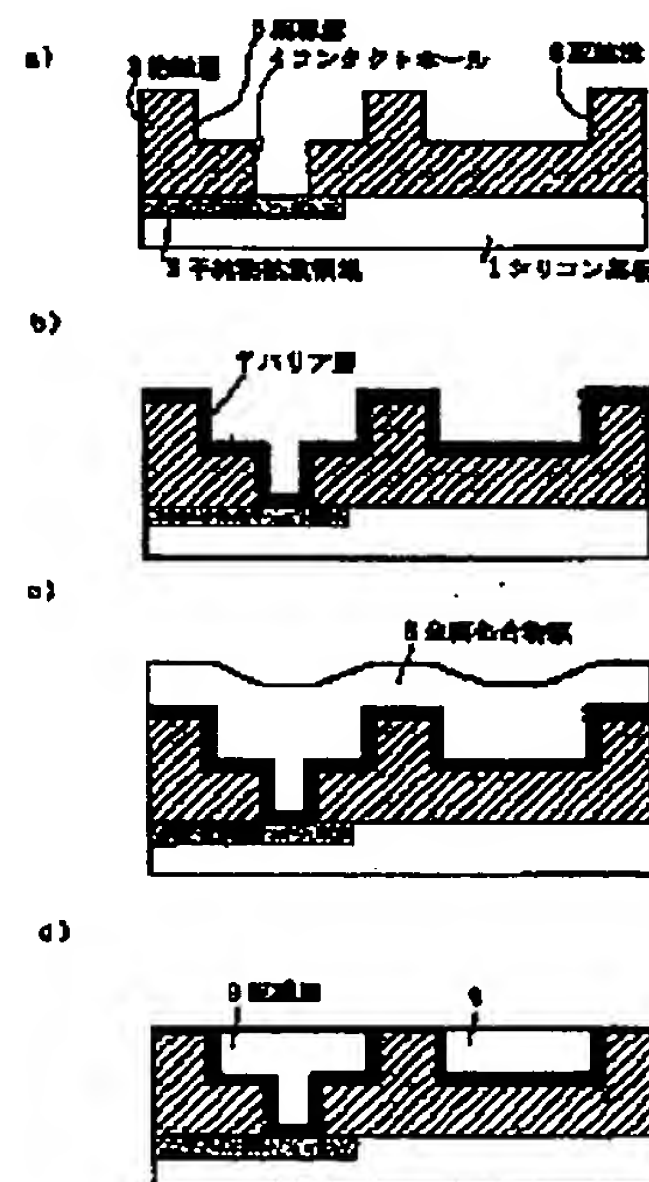
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 銅を主成分として含む配線層を使用するにあたって、微細プロセスに適した薄い膜厚(25nm以下)でより高いバリア性を有するバリア層を提供することを課題とする。

【解決手段】 基体上にタンタル炭化物からなるアモルファス状のバリア層を介して銅を主成分とする配線層が形成されてなる構成により上記課題を解決する。



# 【特許請求の範囲】

【請求項1】 基体上にタンタル炭化物からなるアモルファス状のバリア層を介して銅を主成分とする配線層が形成されてなることを特徴とする半導体装置。

【請求項2】 バリア層が、タンタル窒化物を更に含む請求項1による半導体装置。

【請求項3】 バリア層が、25nm以下の厚さを有する請求項1又は2による半導体装置。

【請求項4】 少なくとも第1配線層及び絶縁層がこの順で形成された基体の第1配線層と接続を所望する部分の絶縁層に凹部を形成し、次いで少なくとも凹部の表面にタンタル炭化物からなるアモルファス状のバリア層を形成し、該バリア層上に銅を主成分とする第2配線層を形成することを特徴とする半導体装置の製造方法。

# 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。更に詳しくは、本発明は、例えば0.35又は0.25ミクロンプロセスの如く微細プロセスに適した銅を主成分として含む配線層を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】0.35ミクロン以下のプロセス（以下、微細プロセスと称する）になると、半導体装置に使用される配線層の抵抗を小さくすることが望まれている。ここで、0.35ミクロン以上のプロセスではアルミニウムからなる配線層が使用されているが、このアルミニウムに代わる次世代の配線材料として銅又は銅を主成分とする配線層が知られている。しかしながら、銅はアルミニウムに比べて低抵抗であるが、加工しにくく、通常高温でしかパターニングできない。従って、アルミニウムのようにレジストをマスクとしてパターニングすることが困難である。

【0003】一般に銅を主成分とする配線層は、次のように形成されている。即ち、シリコン基板の表面に形成されたSiO<sub>2</sub>等の絶縁膜の一部に凹部を形成し、次いでシリコン基板上に銅を主成分とする金属化合物膜を形成した後、ケミカルメカニカルポリッシング（CMP）等によるダマシン法により前記金属化合物膜を加工（研磨）することにより凹部に配線層が形成されている。また、銅は、アルミニウムに比べてシリコン基板の表面及びSiO<sub>2</sub>に拡散しやすいので、この拡散を防ぐためにバリア層が使用されている。バリア層を構成する材料としては、TiN、WN、Ta<sub>2</sub>N<sub>5</sub>等が現在知られている。

## 【0004】

【発明が解決しようとする課題】銅又は銅を主成分とする配線層の銅の拡散バリア材料であるTiN、WN等はバリア性が弱いので十分なバリア性を確保するために、バリア層を厚くする必要があり、微細プロセスには向い

ていない。これは、微細プロセスでは、凹部のアスペクト比が大きくなるので、上記バリア材料では凹部の開口付近のカバレッジが悪く、配線層を形成しにくいためである。

【0005】また、TiN、WN等からなるバリア層を形成できたとしても、これらバリア層は銅より抵抗が高いため、低抵抗の銅を配線層として使用しても配線全体としての抵抗は高くなる。一方、Ta<sub>2</sub>N<sub>5</sub>は薄膜化が可能であるが、比抵抗値が560μΩcmと比較的高いので、配線層に使用した場合、微細プロセスになればなるほどその抵抗が問題となる。

【0006】銅以外のアルミニウムを使用する場合のバリア層の薄膜化技術として、特開平5-291560号公報に記載された技術がある。この公報では、一部又は全部をアモルファス状にしたチタン及びそれと窒素の化合物をバリア層に使用している。バリア層をアモルファス状にするために、シリコン基板上に反応性イオンビームスパッタ法でTiNを形成し、次いで窒素イオンビームのTiNへの照射が行われている。より具体的には、照射される窒素イオンの入射角度をシリコン基板面に対して10°～90°の間で連続的に変化させ、かつ基板を回転させることによりTiNをアモルファス状にしている。つまり、バリア層がTiNの場合、スパッタ法のみではアモルファス状にならないため、窒素を注入することが必要となる。このため、窒素を注入する工程が増え、チャージアップの原因となる。また、微細プロセスでは、凹部のアスペクト比が大きくなるので、凹部のかげの部分に窒素を注入しにくくなる。よって、微細プロセスにこのバリア層の使用は、不向きである。更に、この公報ではアルミニウムが使用されているが、その融点は660.4°（銅の融点は1083.4°）であり、配線層形成後は、融点以下の低温でしか熱処理できず、保護膜や多層配線等の熱処理に問題を生じる。

【0007】特開平7-130849号及び特開平1-268025号公報には、アルミニウムを配線層の材料とし、Taを主成分とする窒化物又は炭化物からなるバリア層を有する配線層が記載されている。これら公報に記載されているバリア層の厚さは約100nmであり厚い。従って、上記と同様の問題を有している。

## 【0008】

【課題を解決するための手段】本発明は低抵抗金属である銅を主成分とする金属を配線層として、工程を増やすことなく、微細プロセスに適した薄い膜厚（25nm以下）でより高いバリア性を有するバリア層を有する半導体装置を提供することを目的とする。かくして本発明によれば、基体上にタンタル炭化物からなるアモルファス状のバリア層を介して銅を主成分とする配線層が形成されてなることを特徴とする半導体装置が提供される。

【0009】また、本発明によれば、少なくとも第1配線層及び絶縁層がこの順で形成された基体の第1配線層

と接続を所望する部分の絶縁層に配線溝を形成し、次いで少なくとも配線溝の表面にタンタル炭化物からなるアモルファス状のバリア層を形成し、該バリア層上に銅を主成分とする第2配線層を形成することを特徴とする半導体装置の製造方法が提供される。

#### 【0010】

【発明の実施の形態】本発明における基体とは、シリコン、GaAs等の半導体基板や、基板上にキャパシタ、トランジスタ等の装置が予め形成されたものを意味する。次に、本発明では配線層に主成分として銅が含まれる。ここで主成分とは、少なくとも50重量%を意味し、好ましくは50～99重量%を意味する。50重量%より少ない場合は、高抵抗配線材となり好ましくない。配線層の厚さは0.1～10 $\mu$ m、好ましくは0.1～3 $\mu$ mの範囲である。0.1 $\mu$ mより薄い場合は、高抵抗値になり好ましくなく、10 $\mu$ mより厚い場合は、上層配線材のエッジカバレッジが悪く好ましくない。配線層に含まれる銅以外の成分としては、銅と合金化しうるスズ(Sn)等の金属が挙げられる。

【0011】次いで、基体と配線層の間に形成されるバリア層はタンタル炭化物からなる。このタンタル炭化物は、バリア層中でアモルファス状の化合物として含まれる。またタンタル窒化物を更に含んでいてもよい。ここでタンタル炭化物中にタンタルは、78～99重量%（好ましくは93～96重量%）含まれていることが好ましい。78重量%より少ない場合は、炭化物が析出するので好ましくなく、99重量%より多い場合は、TaとSiが反応しやすいので好ましくない。配線層の厚さは25nm以下、好ましくは5～25nmの範囲である。5nmより薄い場合は、SiとTaCが反応しやすいので、5nm以上が好ましい。25nmより厚い場合は、結晶が多く含まれることによりアモルファス状態を維持することができず、そのため配線の抵抗が大きくなるので好ましくない。また、バリア層をアモルファス状にすることにより、バリア性を向上させることができ、従来バリアに100nm程度必要であった層厚を25nm以下にすることが可能となる。これは、一般に同じ組成の配線層でも、アモルファス状の方が比抵抗値が高いためである。なお、本発明においてアモルファス状には、完全なアモルファス状態の他、部分的に結晶が含まれる状態も含まれる。

【0012】本発明における配線層は、各種半導体装置の配線層に使用することができる。次に、本発明における配線層の製造方法を説明する。まず、少なくとも第1配線層及び絶縁層がこの順で形成された基体の第1配線層と接続を所望する部分の絶縁層に配線溝を形成する。ここで、第1配線層とは、電氣的接続を意図するものであれば特に限定されず、トランジスタのソース、ドレイン、ゲートや、多層配線層の内の任意の層等も含まれる。この第1配線層に使用される材料は、特に限定され

ず、アルミニウム、銅等の金属、シリサイド、不純物拡散領域等が挙げられる。次に、絶縁層としては、特に限定されず、酸化シリコン、窒化シリコン又はそれらの積層構造、PSG、BPSG等が挙げられる。この絶縁層に形成される配線溝は、第1配線層と後に形成される第2配線層とを導通させることができればどのような形状でもよい。しかし、微細化の観点からより狭く、小さいことが好ましい。

【0013】次いで、少なくとも配線溝の表面にタンタル炭化物からなるバリア層を形成する。バリア層の形成方法としては、スパッタリング法、CVD（化学気相堆積）法等が挙げられる。例えば、タンタルをターゲットとして、炭素源の流通下でスパッタリングを行うことにより形成することができる。炭素源としては、メタン、エタン等が挙げられる。この炭素源は、アルゴン等の不活性ガスとともに流すことが好ましい。更に、炭素源と不活性ガスの比を調整することにより、任意の組成のバリア層を形成することができる。例えば、炭素源としてメタン(CH<sub>4</sub>)を使用し、不活性ガスとしてアルゴン(Ar)ガスを使用した場合、CH<sub>4</sub>が16体積%のときTa:C=50:50（重量比）、20体積%のときTa:C=40:60、30体積%のときTa:C=20:80とすることができる。

【0014】更に、このバリア層にはタンタル窒化物が含まれていてもよい。このバリア層は、Taをターゲットとし、N<sub>2</sub>/炭素源/不活性ガス雰囲気下、Ta<sub>2</sub>Nをターゲットとし、炭素源/不活性ガス雰囲気下、又はTaCをターゲットとし、N<sub>2</sub>/不活性ガス雰囲気下でスパッタリングを行うことにより形成することができる。ここで、N<sub>2</sub>及び/又は炭素源/不活性ガス=0.1～0.4であることが好ましい。

【0015】なお、スパッタリング圧力は、2～10×10<sup>-3</sup>Torrが好ましい。バリア層をCVD法で形成する場合、例えばTa(N(CH<sub>3</sub>)<sub>2</sub>)<sub>5</sub>（ペンタジメチルアミノタンタル）、N<sub>2</sub>等の雰囲気下（それぞれの流量は50～300sccm及びN<sub>2</sub>=0～500sccmが好ましい）、基板温度が100～500℃、圧力が0.1～15Torrの条件下で行うことが好ましい。

【0016】次に、バリア層上に銅を主成分とする第2配線層を形成する。第2配線層は、蒸着、スパッタリング法等の公知の方法により形成することができる。更に、ケミカルメカニカルポリッシング(CMP)等によるダマシン法により第2配線層を加工（研磨）することにより不要な部分を取り除いておくことが好ましい。

【0017】この後、第2配線層上には、保護膜を形成してもよく、更に絶縁層及び配線層を形成することにより多層配線を形成してもよい。

#### 【0018】

#### 【実施例】



### 実施例1

まず、シリコン基板1の表面層に不純物拡散領域2、シリコン基板1上にSiO<sub>2</sub>からなる絶縁層3、不純物拡散領域2を露出させるように形成されたコンタクトホール4及び配線溝(5、6)からなる基体を予め準備した(図1(a)参照)。

【0019】次に、上記基体全面にスパッタリング法によりTa<sub>x</sub>N<sub>y</sub>C<sub>z</sub>からなるバリア層7をコンタクトホール4の底部の厚さが25nmになるように形成した。(図1(b)参照)。バリア層は、下記方法で製造した。

・スパッタリング法による場合  
Taをターゲットとし、N<sub>2</sub>/CH<sub>4</sub>/Arガス雰囲気下、Ta<sub>2</sub>Nをターゲットとし、CH<sub>4</sub>/Arガス雰囲気下、又はTaCをターゲットとし、N<sub>2</sub>/Arガス雰囲気下(N<sub>2</sub>及び/又はCH<sub>4</sub>/Ar=0.1~0.4)で、スパッタリング圧力2~10×10<sup>-3</sup>Torrとした。

・CVD法による場合  
ガス流量：Ta(N(CH<sub>3</sub>)<sub>2</sub>)<sub>5</sub>(ペンタジメチルアミノタンタル)=50~300sccm  
N<sub>2</sub>=0~500sccm  
基板温度：100~500℃  
圧力：0.1~15Torr

なお、Ta<sub>x</sub>N<sub>y</sub>C<sub>z</sub>の組成比はガスの流量比を変えることで制御した。また、CVD法で形成したほうがスパッタリング法より段差被覆性が良好であった。

【0020】次いで、銅を主成分とする金属化合物膜8をバリア層7上に積層した(図1(c)参照)。この後、CMP等によるダマシン法により金属化合物膜8を研磨して配線層9を形成した(図1(d)参照)。上記方法により形成されたTaC及びTa<sub>x</sub>N<sub>y</sub>C<sub>z</sub>の比抵抗値は210~1700μΩcm、700℃以上の熱安定性を有していた。

### 【0021】実施例2

シリコン基板上にTaCからなるバリア層を下記条件でスパッタリング法により形成した。スパッタ圧力を2×10<sup>-3</sup>Torrとし、Taをターゲットとし、炭素源としてCH<sub>4</sub>を使用し、Arからなる不活性ガス雰囲気中で行った。なお、雰囲気中にCH<sub>4</sub>を16体積%、20体積%及び30体積%含ませることにより、53:47、40:60及び20:80(重量比)の組成比からなる3種のTaCを形成した。

【0022】次いで、それぞれのバリア層上に銅をスパッタリング法により積層することにより配線層を形成した。この後、バリア層の安定性を評価するために、500~800℃で30分間、N<sub>2</sub>(95体積%)/H<sub>2</sub>(5%)ガス系中で熱処理を行った。熱処理後の配線層を、XRD(X線回折)により測定した結果を図2~5に示した。この図より安定性を評価した。

【0023】図2は、バリア層の厚さが25nm(比抵抗値：1700μΩcm)、配線層の厚さが100nm、Ta:Cの組成比が20:80であり、これを700℃・30分熱処理した場合、600℃・30分熱処理した場合及び熱処理前のX線回折図である。700℃・30分熱処理した場合、バリア層の結晶化が生じ、同時にCu-Siが形成されることによりバリア性が劣化した。一方、600℃・30分熱処理した場合、Cu-Siが形成されることもなく、バリア層はアモルファス状であった。

【0024】図3は、バリア層の厚さが25nm(比抵抗値：470μΩcm)、配線層の厚さが100nm、Ta:Cの組成比が40:60であり、これを750℃・30分熱処理した場合、700℃・30分熱処理した場合及び熱処理前のX線回折図である。750℃・30分熱処理した場合、バリア層の結晶化が生じ、同時にTaSi<sub>2</sub>及びCu-Siが形成されることによりバリア性が劣化した。一方、700℃・30分熱処理した場合、Cu-Siが形成されることもなく、バリア層はアモルファス状であった。

【0025】図4は、バリア層の厚さが25nm(比抵抗値：210μΩcm)、配線層の厚さが100nm、Ta:Cの組成比が53:47であり、これを800℃・30分熱処理した場合、750℃・30分熱処理した場合及び熱処理前のX線回折図である。800℃・30分熱処理した場合、バリア層の結晶化が生じ、同時にTaSi<sub>2</sub>及びCu-Siが形成されることによりバリア性が劣化した。一方、750℃・30分熱処理した場合、Cu-Siが形成されることもなく、バリア層はアモルファス状であった。

【0026】図5は、バリア層の厚さが5nm(比抵抗値：210μΩcm)、配線層の厚さが100nm、Ta:Cの組成比が53:47であり、これを600℃・30分熱処理した場合及び熱処理前のX線回折図である。600℃・30分熱処理した場合、Cu-Siが形成されることもなく、バリア層はアモルファス状であった。

【0027】上記図2~5から、600℃以上の高温で熱処理しても、銅のシリコン基板への拡散を防止できることが判った。

### 【0028】

【発明の効果】本発明の半導体装置は、基体上にタンタル炭化物からなるアモルファス状のバリア層を介して銅を主成分とする配線層が形成されてなることを特徴とする。そのため、銅が基体中へ拡散することを防ぐことができ、微細プロセスに適したバリア性の高い低抵抗の配線層を有する半導体装置を得ることができる。

【0029】また、本発明の半導体装置の製造方法は、少なくとも第1配線層及び絶縁層がこの順で形成された基体の第1配線層と接続を所望する部分の絶縁層に配線

溝を形成し、次いで少なくとも酸化物層の表面にタンタル炭化物からなるアモルファス状のバリア層を形成し、該バリア層上に銅を主成分とする第2酸化物層を形成することを特徴とする。そのため、後に熱処理されてもバリア層はアモルファス状態を維持できるので、銅が基体中へ拡散することを防ぐことができ、微細プロセスの適したバリア性の高い低抵抗の酸化物層を有する半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の概略工程断面図である。

【図2】実施例2の酸化物層の熱安定性をXRDで評価したグラフである。

【図3】実施例2の酸化物層の熱安定性をXRDで評価し

たグラフである。

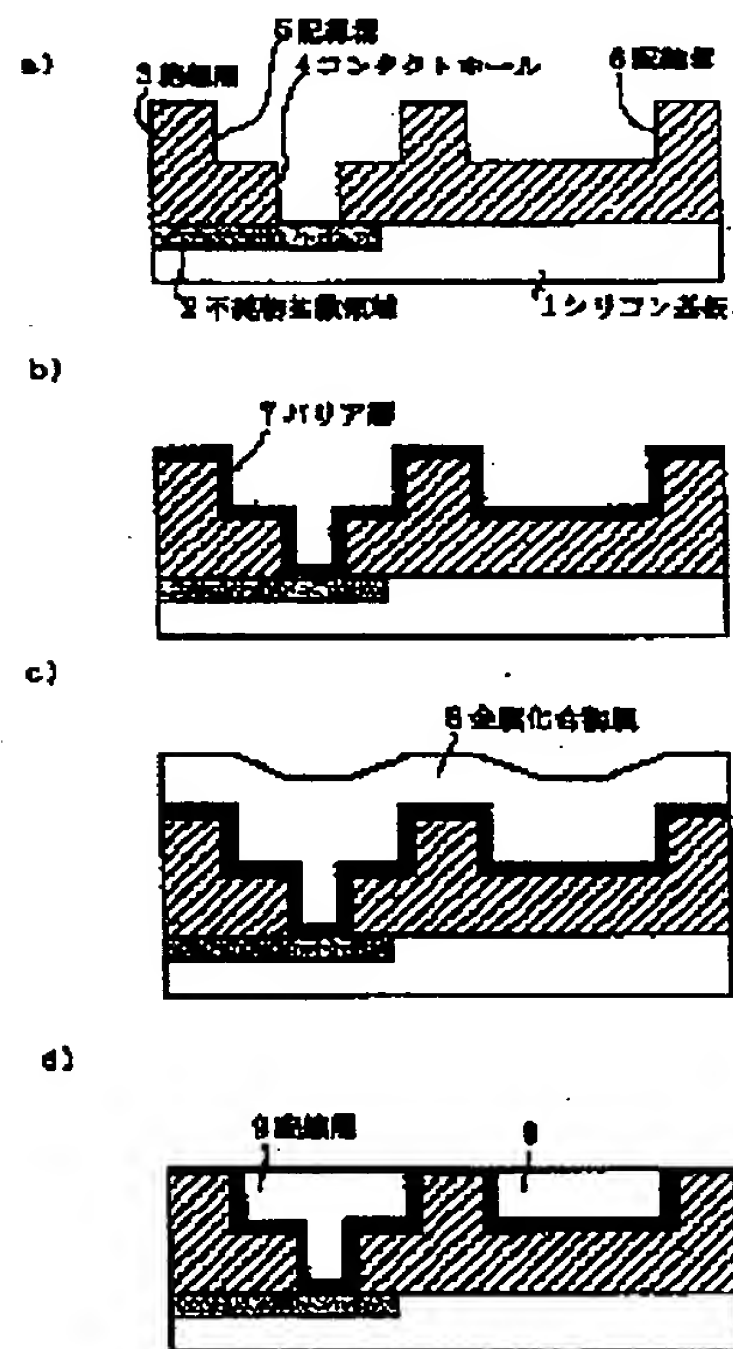
【図4】実施例2の酸化物層の熱安定性をXRDで評価したグラフである。

【図5】実施例2の酸化物層の熱安定性をXRDで評価したグラフである。

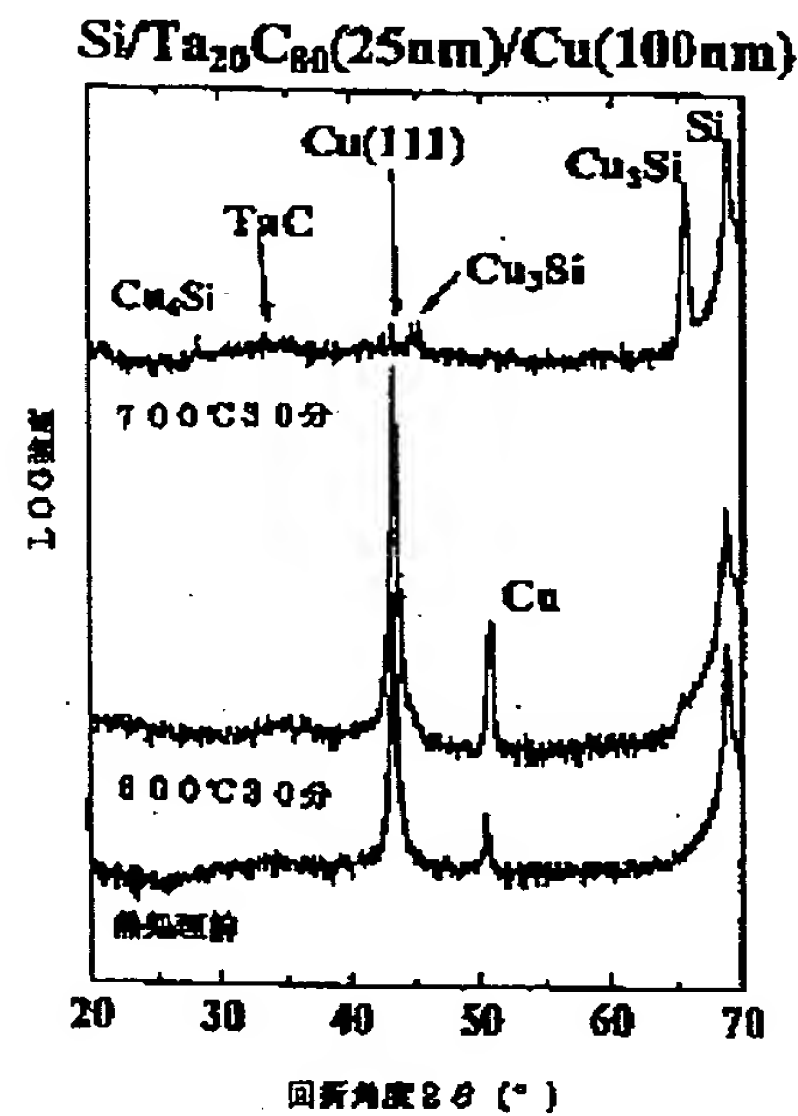
#### 【符号の説明】

- 1 シリコン基板
- 2 不純物拡散領域
- 3 絶縁層
- 4 コンタクトホール
- 5、6 酸化物層
- 7 バリア層
- 8 金属化合物膜
- 9 酸化物層

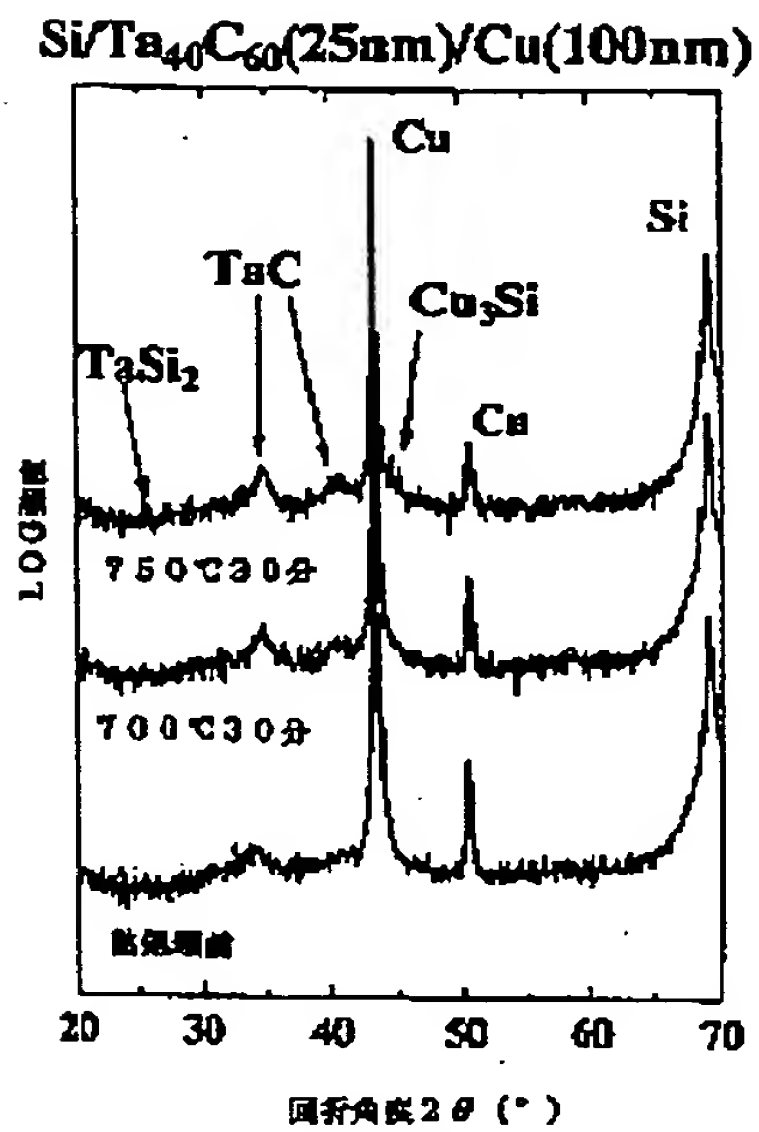
【図1】



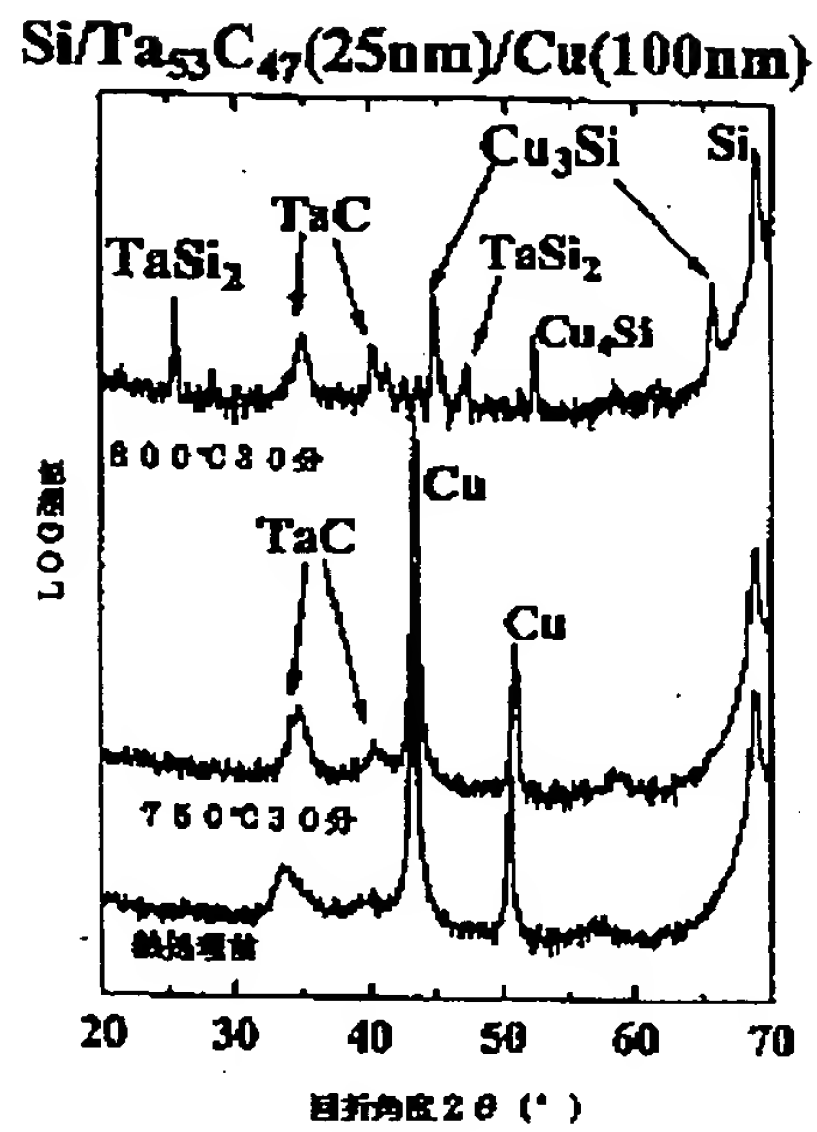
【図2】



【图3】



【图4】



【图5】

